

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
імені ІГОРЯ СІКОРСЬКОГО»

«МІКРОПРОЦЕСОРНА ТЕХНІКА»

РОЗРАХУНКОВО ГРАФІЧНА РОБОТА

*Рекомендовано Методичною радою КПІ ім. Ігоря Сікорського
як навчальний посібник для студентів,
які навчаються за спеціальністю 171 «Електроніка»,
спеціалізацією «Електронні пристрої і системи»*

Київ
КПІ ім. Ігоря Сікорського
2017

«Мікропроцесорна техніка»: розрахунково графічна робота [Електронний ресурс]: навч. посіб. для студ. спеціальності 171 «Електроніка», спеціалізації «Електронні пристрої і системи» / КПІ ім. Ігоря Сікорського ; уклад.: Т. О. Терещенко, О.В. Хоменко – Електронні текстові данні (1 файл: 331 кбайт). – Київ : КПІ ім. Ігоря Сікорського, 2017. – 21 с.

*Гриф надано Методичною радою КПІ ім. Ігоря Сікорського (протокол № від р.)
за поданням Вченої ради факультету електроніки (протокол № 12/2017 від .12.2017 р.)*

Електронне мережне навчальне видання

«МІКРОПРОЦЕСОРНА ТЕХНІКА»

РОЗРАХУНКОВО ГРАФІЧНА РОБОТА

Укладачі: *Терещенко Тетяна Олександрівна, докт. техн. наук.
Хоменко Олександр Васильович*

Відповідальний *Ямненко Ю. С., завідувач кафедри промислової електроніки, д-р
редактор техн. наук, проф.*

Рецензенти: *Михайлов С.Р., доцент кафедри електронних приладів та
пристроїв, канд. техн. наук, доц.*

Метою посібника «Мікропроцесорна техніка» є набуття практичних знань з проектування апаратної частини та програмного забезпечення мікропроцесорних систем.

© КПІ ім. Ігоря Сікорського, 2017

Зміст

1. Загальні положення.....	4
2. Завдання	5
3. Зміст РГР.....	12
4. Короткі теоретичні відомості	12
5. Приклад виконання РГР	14
6. Критерії оцінки РГР	21
Рекомендована література	21

1. Загальні положення

Згідно з робочою навчальною програмою кредитного модуля «Мікропроцесорна техніка» в якості індивідуального семестрового завдання планується виконання студентами РГР. Завдання на РГР охоплюють теми, що рекомендуються студентам під час самостійної роботи по вивченню дисципліни.

Мета РГР – набуття студентами досвіду самостійної роботи з навчальною та довідковою літературою, набуття практичних навиків розробки структурних схем та програмного забезпечення мікропроцесорної системи.

Кінцевим результатом РГР є розробка структурної схеми та опис програмного забезпечення та програма на асемблері.

Завдання до РГР наведені нижче.

2. Завдання

Варіант 1

Розробити структурну схему та програмне забезпечення мікропроцесорної системи, яка виконує функції вимірювача напруги, струму та потужності. Прилад керується двома кнопками так, що при натисненні однієї з них вимірюється напруга, іншої - струм, а у разі натиснення обох кнопок вимірюється потужність.

Варіант 2

Розробити структурну схему та програмне забезпечення мікропроцесорної системи, яка реалізує функцію годинника. Настроювання часу здійснюється за допомогою клавіатури. Індикація годин і хвилин на 4 семисегментних індикаторах.

Варіант 3

Розробити структурну схему та програмне забезпечення мікропроцесорної системи, яка виконує функцію вимірювача активної потужності сигналів несинусоїдальної форми. Вхідними сигналами модуля є сигнали з виходів датчиків струму та напруги, значення вихідної величини яких лежать у межах 0-10 В. Вихідним сигналом вимірювача є 16-розрядний

двійковий код активної потужності:
$$P = 1/32 \sum_{i=1}^{32} U_i \cdot I_i$$

Варіант 4

Розробити структурну схему та програмне забезпечення мікропроцесорної системи, яка реалізує функцію музичного інструменту. Використовувати клавіші, таблиця 1:

Таблиця 1. - Відповідність нот частоті

ля1	- 440 Гц	ля1#	466,2 Гц
до2	- 523 Гц	до2#	554,36 Гц
ре2	— 588 Гц	ре2#	622,25 Гц
фа2	- 698 Гц	фа2#	739,99 Гц
Соль2	- 784 Гц	соль2#	830,65 Гц
сі1	- 494 Гц	ми2	660 Гц

Відпускання клавіші вимикає дзвоник.

Варіант 5

Розробити структурну схему та програмне забезпечення мікропроцесорної системи, яка виконує функцію годинника для шахів. Обчислювальний модуль має дві функціональні клавіші F1 (першого гравця) и F2 (другого гравця), два червоних і два зелених світлодіода. По закінченні призначеного часу повинні засвітитися червоні світлодіоди.

Варіант 6

Розробити структурну схему та програмне забезпечення мікропроцесорної системи, яка отримує сигнали з двох однорозрядних датчиків ТТЛ-рівня та забезпечує видачу сигналу на вимикання живлення, якщо фіксується неперервний сигнал від одного з датчиків на протязі більше 5 секунд, або одночасні сигнали від обох датчиків на протязі більше 3 секунд.

Примітка: Адреси пам'яті та пристроїв введення-виведення задавати у символному вигляді.

Варіант 7

Розробити структурну схему та програмне забезпечення мікропроцесорної системи керування автономним інвертором напруги з однополярною двосторонньою ШІМ-2 за синусоїдальним законом з наступними параметрами: $F_{HEC} = 1600$ Гц, $F = 100$ Гц.

Примітка: Адреси пам'яті та пристроїв введення-виведення задавати у символному вигляді.

Варіант 8

Розробити структурну схему та програмне забезпечення мікропроцесорної системи, яка отримує сигнали з двох однорозрядних датчиків ТТЛ-рівня та АЦП, підключеного до датчика температури і висвітлює температуру на трьох десяткових розрядах із забезпеченням видачі сигналу на вимикання живлення при температурі вище 150°C та спрацьовування обох датчиків, або при температурі вище 200°C та спрацьовуванні одного з датчиків.

Варіант 9

Розробити структурну схему та програмне забезпечення мікропроцесорної системи керування широтно-імпульсним перетворювачем, що забезпечує введення значення скважності із клавіатури і індикацію поточного значення скважності та вихідної напруги на семисегментних індикаторах.

Варіант 10

Розробити структурну схему та програмне забезпечення мікропроцесорної системи, яка забезпечує видачу сигналу на вимикання живлення через 10 секунд після перевищення вихідної напруги рівня 200 В.

Варіант 11

Розробити структурну схему та програмне забезпечення мікропроцесорної системи керування широтно-імпульсним перетворювачем, що забезпечує введення скважності із клавіатури і індикацію поточного значення скважності на трьох семисегментних індикаторах.

Варіант 12

Розробити структурну схему та програмне забезпечення мікропроцесорної системи, яка висвітлює значення двох вхідних сигналів та забезпечує видачу сигналу на вимикання живлення, якщо один з вхідних сигналів більший за інший впродовж більше, ніж 5 секунд.

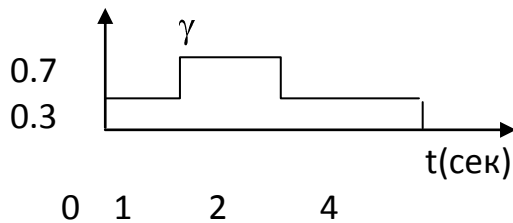
Варіант 13

Розробити структурну схему та програмне забезпечення мікропроцесорної системи, яка висвітлює температуру на трьох десяткових розрядах та забезпечує видачу сигналу на вимикання живлення, якщо на

протязі більше 100 мс відсутні сигнали керування, або у разі підвищення температури вище 150°C.

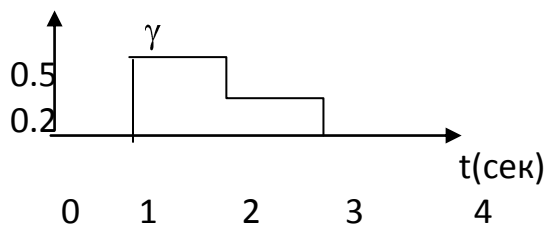
Варіант 14

Розробити структурну схему та програмне забезпечення мікропроцесорної системи керування широтно-імпульсним перетворювачем (ШІП) із розімкненою структурою. При натисканні кнопки "Пуск" система повинна забезпечити видачу вихідного сигналу, який змінюється за наступним законом:



Варіант 15

Розробити структурну схему та програмне забезпечення мікропроцесорної системи керування широтно-імпульсним перетворювачем (ШІП) із розімкненою структурою. При натисканні кнопки "Пуск" система повинна забезпечити видачу вихідного сигналу, який змінюється за наступним законом:



Варіант 16

Розробити структурну схему та програмне забезпечення мікропроцесорної системи керування широтно-імпульсним перетворювачем, яка забезпечує опрацювання сигналу зворотного зв'язку U з виходу АЦП за законом пропорційного регулятора:

$$\gamma = 0,5 + (U - 20h)/256, \gamma_{\min}=0,1; \gamma_{\max}=0,9,$$

де γ - коефіцієнт заповнення імпульсів ШІП.

Варіант 17

Розробити структурну схему та програмне забезпечення мікропроцесорної системи керування випрямляча, виконаного по трифазній несиметричній схемі Ларіонова, що забезпечує ввід кута регулювання із нешифрованої клавіатури і індикацію поточного значення на трьох семисегментних індикаторах. Пристрій синхронізації з мережею живлення не розробляти. На мікропроцесорну систему надходять імпульси переходу лінійних напруг через нуль.

Варіант 18

Розробити структурну схему та програмне забезпечення мікропроцесорної системи керування випрямляча, виконаного по трифазній несиметричній схемі Ларіонова, що забезпечує ввід кута регулювання із нешифрованої клавіатури і індикацію поточного значення на трьох семисегментних індикаторах. Пристрій синхронізації з мережею живлення не розробляти. На мікропроцесорну систему надходять імпульси переходу лінійних напруг через нуль.

Варіант 19

Розробити структурну схему та програмне забезпечення мікропроцесорної системи керування широтно-імпульсним перетворювачем, яка забезпечує опрацювання сигналу зворотного зв'язку $U(i)$ з виходу АЦП за законом інтегрального регулятора:

$$\gamma = \{(U(i)+U(i-1))/2 - 2Ah\}/256,$$

$$\gamma_{\min}=0,1; \gamma_{\max}=0,9,$$

де γ - коефіцієнт заповнення імпульсів ШІП. Система також забезпечує видачу сигналу на вимкнення живлення у разі виходу з ладу регулюючого елемента.

Значення скважності змінюється у межах $\gamma_{\min} < \gamma < \gamma_{\max}$. $\gamma_{\min}=0,1; \gamma_{\max}=0,9$.

Варіант 20

Розробити структурну схему та програмне забезпечення мікропроцесорної системи керованого випрямляча, виконаного за трифазною

симетричною схемою Ларіонова, яка забезпечує опрацювання сигналу зворотного зв'язку U з виходу АЦП за законом пропорційного регулятора:

$$\alpha = \pi/12 + \pi * (U - 20h)/256,$$

де $\pi = 3.14$, α - кут регулювання КВ. Також система повинна індицирувати величину вихідної напруги на трьох десяткових розрядах.

Пристрій синхронізації з мережею живлення не розробляти. На мікропроцесорну систему надходять імпульси переходу лінійних напруг через нуль.

Варіант 21

Розробити структурну схему та програмне забезпечення мікропроцесорної системи, що реалізує функцію кодового замка. Кодовий замок являє собою клавіатуру з цифрами від 0 до 9. Код відмикання – послідовне натискання клавіш 4096. При введенні невірної коду видати звуковий сигнал сигналізації впродовж 5

Варіант 22

Розробити структурну схему та програмне забезпечення мікропроцесорної системи керування широтно-імпульсним перетворювачем, що забезпечує ввід скважності із нешифрованої клавіатури і індикацію поточного значення скважності та вихідної напруги на семисегментних індикаторах.

Варіант 23

Розробити структурну схему та програмне забезпечення мікропроцесорної системи, що забезпечує зміну кута регулювання у діапазоні від 0 до 180 градусів при вводі кута регулювання із нешифрованої клавіатури і індикацію поточного значення кута на семисегментних індикаторах

Пристрій синхронізації з мережею живлення не розробляти. На мікропроцесорну систему надходять імпульси переходу напруги живлення через нуль

Варіант 24

Розробити структурну схему та програмне забезпечення мікропроцесорної системи, що реалізує функцію годинника із будильником. Установка часу і часу "Х" здійснюється за допомогою клавіатури. Індикація годин і хвилин на 4 семисегментних індикаторах. При досягненні моменту спрацьовування подати звуковий сигнал тривалістю 30 сек.

Варіант 25

Розробити структурну схему та програмне забезпечення мікропроцесорної системи, що реалізує функцію вимірювача часових інтервалів. Діапазон - 1 - 999 мс. Індикація на 3 семисегментних індикаторах.

Варіант 26

Розробити структурну схему та програмне забезпечення мікропроцесорної системи, що реалізує функцію годинника. Установка часу здійснюється за допомогою клавіатури. Індикація годин і хвилин на 4 семисегментних індикаторах.

Варіант 27

Розробити структурну схему та програмне забезпечення мікропроцесорної системи, що реалізує функцію виміру кута повороту і швидкості обертання. Використовувати датчик повороту ВЕ-168, що видає 1000 імпульсів за один оберт і одиночний імпульс початкового положення. Діапазон зміни швидкості обертання - 250-2500 об/хв., кута повороту - 0-360 град.

Варіант 28

Розробити структурну схему та програмне забезпечення мікропроцесорної системи, що реалізує функцію вимірювача частоти з індикацією на 3 десяткових розрядах. Діапазон частот 5 - 995Гц, дискретність 5 Гц.

3. Зміст РГР

Зміст графічної частини:

1. Алгоритм програмного забезпечення
2. Структурна схема
3. Принципова схема

Зміст розрахунково-пояснювальної записки:

1. Вступ.
2. Обґрунтування та опис структурної схеми.
3. Розрахункова частина.
4. Опис програмного забезпечення та програма на асемблері
5. Висновки.

4. Короткі теоретичні відомості

Функції інтерфейсу введення-виведення. Одним з найважливіших завдань проектування МПС є організація взаємодії із *зовнішніми пристроями* – джерелами і приймачами даних. Прикладами **пристроїв введення-виведення** (ПВВ), що є як джерелами, так і приймачами інформації, є накопичувачі на гнучких і твердих магнітних дисках. До пристроїв введення належать перемикачі, клавіатура, аналого-цифрові перетворювачі (АЦП), датчики двійкової інформації, а до пристроїв виведення – індикатори, світлодіоди, дисплеї, друкувальні пристрої, цифро-аналогові перетворювачі (ЦАП), транзисторні ключі, реле, комутатори. Пристрої введення-виведення відрізняються: розрядністю даних,; швидкодією, протоколами, тобто визначеним порядком обміну,; керуючими сигналами. Дані у ПВВ змінюються у довільний або чітко визначений момент часу. З'єднання ПВВ із системною шиною МПС здійснюється за допомогою **інтерфейсу введення-виведення**, який узгоджує ПВВ із системною шиною МПС. Зазвичай інтерфейс складається з одного або декількох **портів введення-виведення** та схем керування ними.

При проектуванні інтерфейсу введення-виведення необхідно забезпечити:

- зберігання інформації, яка надходить від ПВВ;
- доступ до інформації з боку МП;

- керування обміном;
- перетворення форматів даних.

Зберігання інформації та доступ до неї з боку МП. Введення та виведення інформації виконується за допомогою портів введення-виведення, які являють собою 8- або 16-розрядні регістри зі схемами вибірки та керування читанням/записом. Як порти можуть бути використані буферні регістри, наприклад, i8282, i8285, KP580IP82, KP589IP12, KP580BB55.

Доступ до інформації з боку МП Введення або виведення даних можна здійснювати двома способами адресації:

- 1) з використанням окремого адресного простору ПВВ;
- 2) з використанням спільного з пам'яттю адресного простору, тобто з відображенням на пам'ять.

У першому випадку введення і виведення даних виконується за командами IN та OUT

Керування обміном Існують три способи керування обміном:

- 1) програмний обмін;
- 2) обмін за перериванням;
- 3) обмін у режимі прямого доступу до пам'яті.

Програмний обмін зніціюється МП і здійснюється під його керуванням. Розрізняють простий програмний обмін та програмний обмін за стробом готовності. При простому програмному обміні вважається, що ПВВ у будь-який момент готовий до обміну за командами IN або OUT. При обміні за стробом готовності ПВВ сповіщає про свою готовність до обміну стробом. Програмний обмін використовується для обміну з ПВВ, продуктивність яких менша від продуктивності МП.

Обмін за перериванням зніціюється ПВВ і здійснюється під керуванням МП. У цьому разі сигнал готовності ПВВ до обміну використовується як запит переривання і надходить до програмованого контролера переривань. Введення або виведення здійснюється за підпрограмою обробки запиту переривання.

Обмін за перериванням більш продуктивний від програмного обміну, оскільки не потребує часу для опитування стану готовності ПВВ до обміну.

Обмін у режимі ПДП зніціюється ПВВ здійснюється під керуванням контролера прямого доступу до пам'яті (КПДП) без участі МП. При необхідності

обміну між ПВВ і пам'яттю немає потреби у пересиланні даних через МП. Дані за допомогою КПДП пересилаються безпосередньо з ПВВ у пам'ять або навпаки. Прямий доступ до пам'яті при виконанні операцій введення-виведення дозволяє значно збільшити швидкість передачі даних і підвищити ефективність використання засобів МП.

5. Приклад виконання РГР

Завдання. Розробити принципову схему і програмне забезпечення МПС керування широтно-імпульсного стабілізатора напруги, із частотою $f = 1$ кГц. Мікропроцесорна система керування забезпечує обробку сигналу зворотного зв'язку U із виходу АЦП за законом пропорційного регулятора:

$$\gamma = 0,5 + (U - 20H)/256,$$

де γ – коефіцієнт заповнення імпульсів широтно-імпульсного стабілізатора, $20H$ – код опорного сигналу.

Структурну схему МПС керування показано на рис. 1.

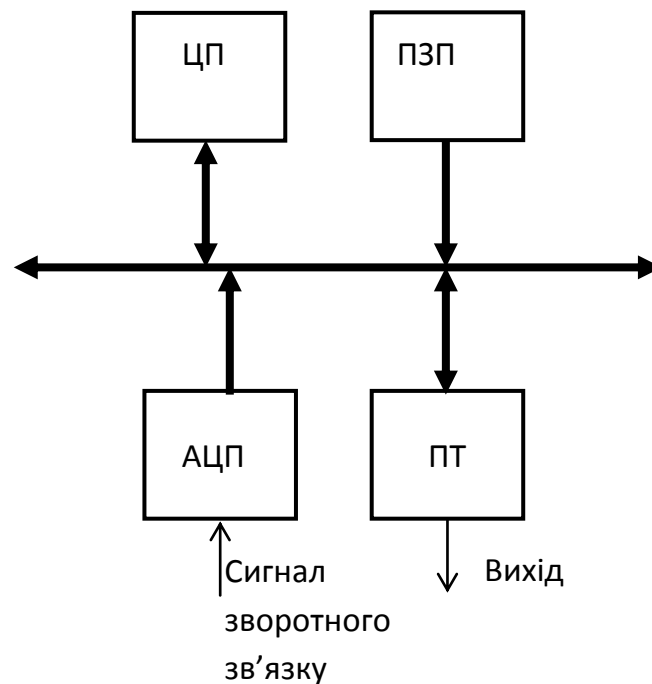


Рис. 1 – Структурна схема МПС керування

Сигнал зворотного зв'язку надходить на АЦП, де він перетворюється на двійковий код. Цей код по системній шині надходить у ЦП, де за програмою, записаною у ПЗП, обробляється за законом пропорційного регулятора.

Результатом обчислення є коефіцієнт заповнення, який завантажується в регістр таймера як константа. На виході таймера одержуємо логічні рівні імпульсів керування ШІП.

Функціональну схему мікропроцесорної системи керування показано на рис. 2.

При розробці функціональної схеми центрального процесора виникає потреба у демультіплексуванні шин адреси/даних, буферизації шин адреси (*AB*) і шин даних (*BD*), а також у формуванні системних керуючих сигналів пам'яті та зовнішніх пристроїв.

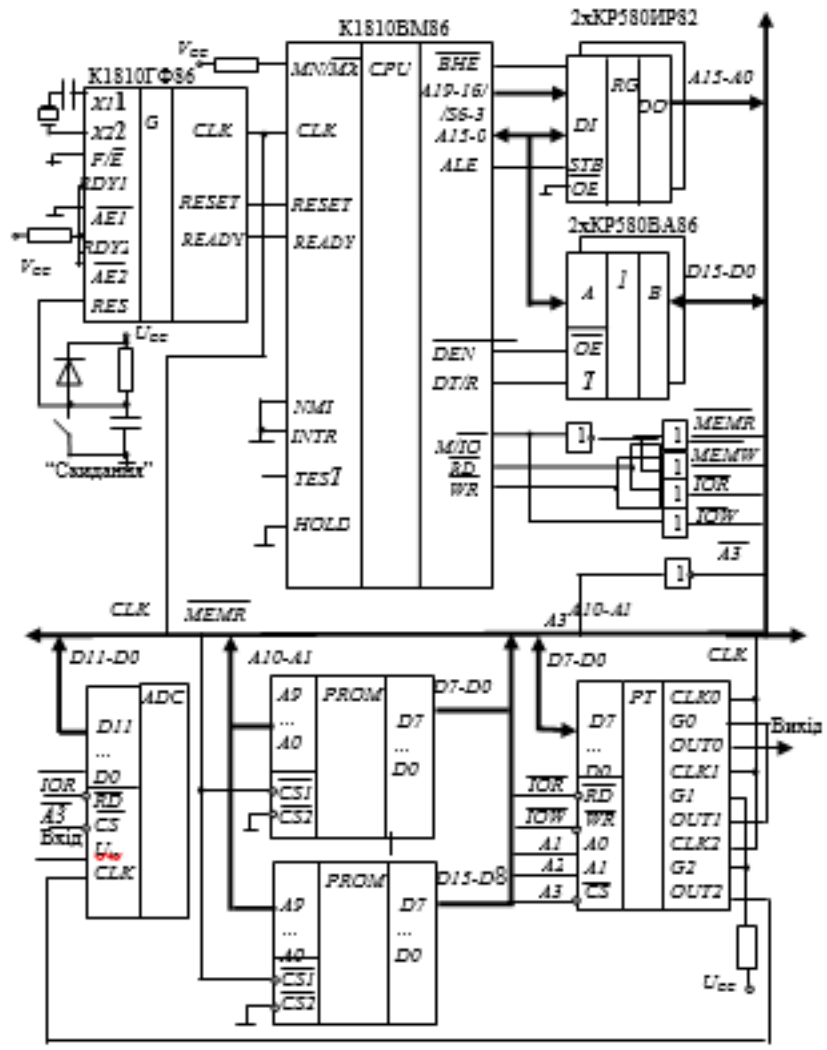


Рис.2.– Функціональна схема МПС

Демультимплексування здійснюється за допомогою двох ВІС К1810ІР82, що виконують функції фіксатора адреси і буфера шини АВ, буферизація шин даних – за допомогою двонапрямлених шинних формувачів К1810ВА86, які підсилюють сигнали шини даних і формування керуючих сигналів – за допомогою комбінаційних логічних елементів. На виході цих елементів формуються сигнали \overline{MEMR} , \overline{MEMW} , \overline{IOR} , \overline{IOW} .

Оскільки в розроблювальній МПС не потрібні режими ПДП, переривань та обміну за сигналом готовності, то схема не містить сигналів переривань, готовності, запиту ПДП і дозволу шин *BUSEN*. Тому на входи ВІС генератора, ЦП, регістрів-фіксаторів та буферних регістрів подано постійні логічні рівні нуля або одиниці.

Модуль ПЗП виконаний на базі двох ВІС КР556РТ5 ємністю 512 x 8 біт кожна. Пам'ять організована у вигляді двох банків пам'яті – молодшого і старшого. Молодший банк вмикається до молодшої половини шини даних *D7-D0* і містить тільки комірки пам'яті з парними адресами; старший банк – до старшої половини шини даних *D15-D8* і містить тільки комірки пам'яті з непарними адресами. Зчитування з ПЗП відбувається при виконанні циклу читання пам'яті. При цьому формується сигнал $\overline{MEMR} = 0$, який і переводить виходи ВІС ПЗП у активний стан. Із ПЗП завжди зчитується слово. Для даного прикладу початкову адресу ПЗП визначимо при нульових значеннях *A9-A1*, *A0*, а кінцеву – при одиничних.

Таким чином, початкова адреса ПЗП – 00000H, кінцева адреса ПЗП – 003FFH.

Функціональна схема містить також АЦП К572ПВ1, який являє собою 12-розрядний перетворювач напруги на двійковий код низької швидкодії. Оскільки АЦП має внутрішній регістр із входом керування третім станом, зовнішній порт уведення не потрібний. Вихід АЦП з'єднаний з лініями *D11-D0*. З точки зору процесора АЦП являє собою 16-розрядний порт. Адреса 16-розрядного порту повинна бути парною. Як видно з рис. 4.65, АЦП вибирається при *A3 = 1*. Таким чином, адреса АЦП може бути будь-яка при *A3 = 1*, *A0 = 0*. Наприклад, оберемо адресу АЦП, що дорівнює 08H.

Програмовний таймер К1810ВІ54 у схемі (рис 2) призначений для генерації імпульсів керування широтно-імпульсним стабілізатором. Таймер містить три незалежних канали, кожний з яких може бути запрограмований на роботу в одному із шести режимів для двійкового та двійково-десятькового обчислення. У даному прикладі використовують такі режими роботи каналів:

- канал 0 – програмований мультівібратор;
- канал 1– імпульсний генератор частоти для запуску каналу 0;
- канал 2– імпульсний генератор для задавання частоти роботи АЦП.

Як видно із рис.4.70, таймер обирається при адресі з A3=0. Лінії A1 і A2 обирають один з трьох каналів таймера або регістр керуючого слова. Таким чином, адресами таймера будуть:

- адреса каналу 0 – 00H;
- адреса каналу 1 – 02H;
- адреса каналу 2 – 04H;
- адреса РКС – 06H.

Розрахуємо константи завантаження таймера таким чином:

Перетворімо коефіцієнт заповнення широтно-імпульсного стабілізатора *gamma* на константу перерахунку, що завантажується в таймер. Зауважимо, що вихідна частота стабілізатора дорівнює 1 кГц, а частота тактових імпульсів $f_{CLK} = 5$ МГц.

Канал 0. Згідно із завданням коефіцієнт заповнення імпульсів широтно-імпульсного стабілізатора дорівнює:

$$gamma = 0,5 + \frac{1}{256} (I-20H).$$

Визначимо період роботи широтно-імпульсного стабілізатора як:

$$T = \frac{1}{f} = \frac{1}{10^3} = 1 \text{ (мс)}.$$

Тоді тривалість імпульсу

$$\tau_i = \frac{T}{2} + \frac{T}{256} (U - 20H) = 0,5 + \frac{1}{256} (U - 20H) \text{ (мс)}.$$

Тривалість лічильних імпульсів каналів (CLK) при частоті роботи процесора 5 МГц

$$T_{CLK} = 1/(5 \cdot 10^6) = 200 \text{ (нс)}.$$

Код завантаження каналу 0 таймера визначиться як відношення τ_i до T_{CLK} , тобто

$$N_0 = \frac{0,5 \cdot 10^{-3}}{200 \cdot 10^{-9}} + \frac{10^{-3}}{256 \cdot 200 \cdot 10^{-9}} (U - 20H) \approx 2500 + 20(U - 20H).$$

Канал 1. Коефіцієнт ділення каналу 1 визначається як відношення тривалості періоду широтно-імпульсного стабілізатора до тривалості періоду T_{CLK} , тобто

$$N_1 = \frac{T}{T_{CLK}} = \frac{1000000}{200} = 5000.$$

Канал 2. Коефіцієнт ділення каналу 2 визначається як відношення тривалості періоду тактових імпульсів АЦП (170 кГц) до тривалості періоду T_{CLK} , тобто

$$N_2 = \frac{T_{АЦП}}{T_{CLK}} = 29.$$

Алгоритм керування широтно-імпульсним стабілізатором показано на рис. 3. Спочатку в обидва канали таймера завантажуються керуючі слова. Керуюче слово для каналу 0 дорівнює 00110010В і визначає режим "1" лічильника 0, завантаження спочатку молодшого, а потім старшого байта, лічба – двійкова. Керуюче слово для каналів 1 і 2 визначає режим "1", завантаження спочатку молодшого, а потім старшого байтів, лічба – двійкова. Керуючі слова дорівнюють 01110100В і 10110100В відповідно.

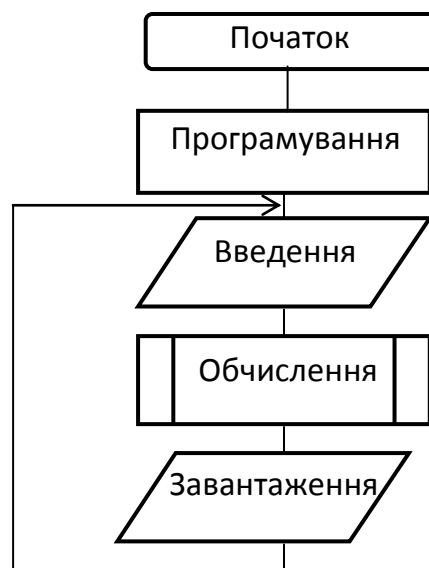


Рис. 3 – Алгоритм керування широтно-імпульсним стабілізатором

Після завантаження керуючих слів програма завантажує початкові значення у канали 1 та 2 таймера. На цьому ініціалізація закінчується і починається нескінченний цикл уведення коду зворотної напруги з АЦП, перерахування її у код завантаження і виведення його у канал 0.

Зазначимо, що після системного скидання регістри CS і IP МП набудуть значень 0FFFFH і 0000H відповідно. Це призведе до того, що в адресі першої комірки ПЗП, до якої після скидання звернеться МП у першому машинному

циклі ВИБІРКА КОМАНДИ, чотири молодших розряди будуть нульовими, а всі інші – одиничними. Тоді ця адреса буде дорівнювати 3F0H.

Програма має вигляд:

```

ORG 3F0H
JMP START
ORG 100H
START: MOV AL, 00110010B ; формування в AL керуючого слова режиму
                           "1" каналу 0
OUT 06, AL ; виведення керуючого слова в РКС
MOV AL, 01110100B ; формування в AL керуючого слова режиму
                           2 каналу 1
OUT 06, AL ; виведення керуючого слова
MOV AL, 10110100B ; формування в AL керуючого слова режиму
                           каналу 2
OUT 06, AL ; виведення керуючого слова у РКС
MOV AX, 5000 ; задавання частоти перетворення  $f = 1\text{кГц}$ 
OUT 02H, AL ; запис молодшого байта коду попереднього
                           встановлення каналу 1
MOV AL, AH ; запис старшого байта коду попереднього
                           встановлення каналу 1
OUT 02H, AL ; задавання частоти АЦП  $f = 170\text{кГц}$ 
MOV AL, 29 ; запис коду попереднього встановлення
                           каналу 2
OUT 04H, AL
MOV AL, 00
OUT 04H, AL
L: IN AX, 08H ; введення сигналу зворотного зв'язку  $U$ 
AND AX, 0000 1111 ; виділення 12 значущих біт  $U$ 
1111 1111B
SUB AX, 20H ; віднімання  $U - 20H$ , результат – у AX;
MOV BL, 20
MUL BL ; множення на 20:  $20(U - 20H)$ , результат – в AX
ADD AX, 2500 ; додавання  $2500 + 20(U - 20H)$ , результат в AX
OUT 00H, AL ; запис молодшого байта коду попереднього
                           встановлення каналу 0
MOV AL, AH

```

	OUT	00H,AL	;запис старшого байта коду попереднього встановлення каналу 0
	MOV	CX,100	;затримка на час, більший ніж час перетворення АЦП
D:	LOOP	D	; $t = 16 \times 100 \times 200$ (нс)
	JMP	L	;перейти за адресою з міткою L (цикл)
	END.		

6. Критерії оцінки РГР

Повне виконання РГР оцінюється в 12 балів; повне виконання роботи з певними незначними недоліками в 10 балів; неповне виконання роботи з незначними похибками в 9 балів; неповне виконання роботи зі значними похибками в 6 балів; незадовільне виконання в 0 балів (згідно з РСО дисципліни).

Рекомендована література

1. Мікропроцесорна техніка : підручник / В. Я. Жуйков, Т. О. Терещенко, Ю. С. Ямненко – 3-тє вид., перероб. і допов. – Київ: НТУУ «КПІ» Вид-во «Політехніка», 2015. – 440
2. Жуйков В.Я, Терещенко Т.О., Ямненко Ю.С. Заграничний А.В. Електронний підручник "Мікропроцесорна техніка". - Рекомендовано до друку Вченою Радою НТУУ «КПІ» протокол №6 від 16.05.2016 р. режим доступу до ресурсу: http://kaf-pe.kpi.ua/?page_id=675, <http://ela.kpi.ua/handle/123456789/18969>
3. Мікропроцесорна техніка: Навчальний посібник / В.Я. Жуйков, О.І. Захожай, Ю.Е. Паеранд, Т. О. Терещенко Алчевськ: ДонДГУ, 2013 – 497 с.
4. Мікропроцесорна техніка : навч. посіб. / В. В. Ткачов, Г. Грулер, Н. Нойбергер, С. М. Проценко, М. В. Козарь; ДВНЗ "Нац. гірн. ун-т". - Д. : НГУ, 2012. - 188 с. - Бібліогр.: с. 188 - укр.
5. Возняк О. Основи мікропроцесорної техніки Львівська філія Дніпропетровського національного університету залізничного транспорту імені академіка В.Лазаряна – 2017 - режим доступу до ресурсу: <http://vozm.ho.ua/MP/>
6. Мікропроцесорна техніка Методичні вказівки до виконання самостійної роботи та виконання контрольної роботи для студентів ЗДІА спеціальності 6.050801 «Мікро та наноелектроніка» / Укладачі: Л. Л. Верьовкін, М.В. Світанько, Є.М. Кісельов – Запоріжжя – 2014 - режим доступу до ресурсу: http://www.zgia.zp.ua/gazeta/MPT_KontrRob.pdf